

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-227105  
 (43)Date of publication of application : 08.10.1991

(51)Int.CI. H03F 3/45  
 H03F 3/34

(21)Application number : 02-021120 (71)Applicant : SONY CORP  
 (22)Date of filing : 31.01.1990 (72)Inventor : YUASA MASAMI

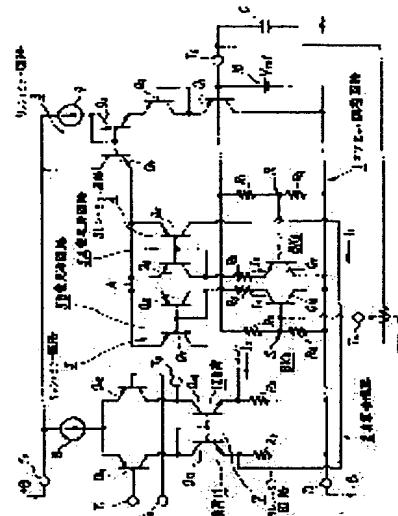
## (54) OFFSET ADJUSTMENT CIRCUIT FOR OPERATIONAL AMPLIFIER

### (57)Abstract:

**PURPOSE:** To realize an offset adjustment circuit not subjected to the effect of a temperature change and precluding the possibility of unbalancing differential balance by varying a DC current in a couple of current source circuits provided with a couple of resistors and a couple of bias circuits.

**CONSTITUTION:** When nothing is connected to a connection mid-point S (terminal pin T4) between voltage division resistors R5, R6 and resistance values r3, r4 of resistors R3, R4 are selected equal, emitter currents I3, I4 of transistors(TRs) Q7, Q10 are made equal to each other. Since a term of a base-emitter voltage VBE is not included in equation representing the current, even when the voltage VBE is changed due to temperature, both the currents are unchanged.

Furthermore, even when the resistance values of resistors R1-R6 changes due to temperature, since they are formed in an IC, the combined resistance is unchanged. A voltage VS at the midpoint S is varied by a variable resistor R9 and a base voltage of the TRQ10 is changed, then the current I4 is changed. Thus, emitter currents I3, I4 of the TRs Q7, Q10 are increased in terms of gain by current mirrors 4, 5 based on an offset adjustment range to obtain adjustment currents I1, I2.



THIS PAGE BLANK (USPTO)

## ⑫ 公開特許公報 (A) 平3-227105

⑬ Int. Cl. 5

H 03 F 3/45  
3/34  
3/45

識別記号

庁内整理番号

B 8326-5J  
A 8326-5J  
A 8326-5J

⑭ 公開 平成3年(1991)10月8日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 演算増幅器のオフセット調整回路

⑯ 特 願 平2-21120

⑰ 出 願 平2(1990)1月31日

⑱ 発明者 湯浅 正美 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代理人 弁理士 松隈 秀盛

## 明細書

発明の名称 演算増幅器のオフセット調整回路

特許請求の範囲

一対の差動トランジスタ、その各エミッタに接続された定電流回路及び上記一対の差動トランジスタの各コレクタに接続された負荷抵抗器を備える演算増幅器と、

上記差動トランジスタの各負荷抵抗器に夫々各別の直流電流を供給する一対の電流源回路と、

該一対の電流源回路の少なくとも一方の直流電流を可変する可変手段とを有し、

上記一対の電流源回路は、抵抗値の等しい一対の抵抗器、該一対の抵抗器に直列接続された一対のトランジスタ及び該一対のトランジスタに基づ電圧源からの基準電圧に基づいて夫々ベースバイアス電圧を印加する一対のバイアス回路を備えて成ることを特徴とする演算増幅器のオフセット調整回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は演算増幅器のオフセット調整回路に関する。

〔発明の概要〕  
本発明は、一対の差動トランジスタ、その各エミッタに接続された定電流回路及び一対の差動トランジスタの各コレクタに接続された負荷抵抗器を備える演算増幅器と、差動トランジスタの各負荷抵抗器に夫々各別の直流電流を供給する一対の電流源回路と、その一対の電流源回路の少なくとも一方の直流電流を可変する可変手段とを有し、一対の電流源回路は、抵抗値の等しい一対の抵抗器、その一対の抵抗器に直列接続された一対のトランジスタ及びその一対のトランジスタに基づ電圧源からの基準電圧に基づいて夫々ベースバイアス電圧を印加する一対のバイアス回路を備えて成るようにしたことにより、温度変化により影響を受け難く、差動バランスを崩す虞がないようにしたものである。

## 〔従来の技術〕

演算増幅器を用いた直流増幅回路は、IC内の

## 特開平3-227105 (2)

初段の増幅回路等では、演算増幅器のオフセットが問題になる。

演算増幅器のオフセットを調整する方法としては、大きく分けて、2つの方法がある。その一つは、演算増幅器を構成する差動トランジスタの能動負荷としてのカレントミラー回路のトランジスタのエミッタ電流を調整する方法であり、他の一つは、入力信号にオフセット調整要の電圧を加算する方法である。

先ず、第2図を参照して、前者の方法が適用された演算増幅器について説明する。(2)は演算増幅器を示し、これはICの一部に形成されている。又、T<sub>1</sub>～T<sub>4</sub>はそのICのピンを示す。Q<sub>11</sub>、Q<sub>12</sub>はPNP型の差動トランジスタを示し、その各エミッタは、定電流回路(8)及びピンT<sub>7</sub>を通じて正電源+Bに接続される。トランジスタQ<sub>11</sub>、Q<sub>12</sub>の各ベースは、夫々入力端子ピンT<sub>1</sub>、T<sub>2</sub>に接続され、各コレクタは夫々後述する負荷(11)、(12)を構成するカレントミラー回路(7)のダイオード接続のNPN型のトランジスタQ<sub>13</sub>及びNPN

又は減少して、両コレクタ電位が等しく成るので、トランジスタQ<sub>11</sub>、Q<sub>12</sub>のV<sub>BE</sub>が等しければ、オフセットは発生しない。

ところが、トランジスタベース・エミッタ間電圧V<sub>BE</sub>は、

$$V_{BE} = \frac{kT}{q} \cdot L_e (I_e / I_{eo})$$

(但し、kはボルツマン定数、qは電子の電荷、I<sub>e</sub>はエミッタ電位、I<sub>eo</sub>は逆方向飽和電位)で表わされるから、トランジスタQ<sub>11</sub>、Q<sub>12</sub>において、T<sub>1</sub>、I<sub>e</sub>又はI<sub>eo</sub>のいずれかが異なれば、その各V<sub>BE</sub>も異なることになる。

そこで、入力端子ピンT<sub>1</sub>、T<sub>2</sub>に同電圧を与えた状態で、出力端子ピンT<sub>5</sub>の出力電圧が0Vとなるように、可変抵抗器R<sub>6</sub>の調整により、トランジスタQ<sub>13</sub>、Q<sub>14</sub>のエミッタ電流を調整する。

次に、第3図A、Bを参照して後者の調整方法が適用された、演算増幅器を用いた増幅回路について説明する。(2)は、上述の第2図で説明したのと同様の、IC内の演算増幅器を示している。

型のトランジスタQ<sub>11</sub>の各コレクタに夫々接続される。又、トランジスタQ<sub>12</sub>のコレクタは出力端子ピンT<sub>5</sub>に接続される。

カレントミラー回路(7)の各トランジスタQ<sub>13</sub>、Q<sub>14</sub>の各エミッタは夫々抵抗器R<sub>11</sub>、R<sub>12</sub>及びピンT<sub>6</sub>を通じて負電源-Bに接続される。そして、トランジスタQ<sub>13</sub>及び抵抗器R<sub>11</sub>によって、トランジスタQ<sub>11</sub>の負荷(11)が構成され、トランジスタQ<sub>14</sub>及び抵抗器R<sub>12</sub>によって、トランジスタQ<sub>12</sub>の負荷(12)が構成される。

R<sub>6</sub>は、オフセット調整用の可変抵抗器(ポテンショメータ)で、外付部品であり、その両端がピンT<sub>1</sub>、T<sub>2</sub>を通じて、トランジスタQ<sub>11</sub>、Q<sub>12</sub>の各エミッタに夫々接続され、その可動端子は負電源-Bに抵抗される。

かかる演算増幅器では、トランジスタQ<sub>11</sub>、Q<sub>12</sub>の負荷(11)、(12)が能動負荷、即ち、カレントミラー回路(7)にて構成されているので、無信号時において、トランジスタQ<sub>11</sub>、Q<sub>12</sub>の各コレクタ電位の一方が増大又は減少すれば、他方も増大

演算増幅器(2)の反転入力端子ピンT<sub>1</sub>に入力抵抗器R<sub>11</sub>が接続され、その非反転入力端子ピンT<sub>2</sub>には入力抵抗器R<sub>12</sub>が接続されている。又、反転入力端子ピンT<sub>1</sub>及び出力端子ピンT<sub>5</sub>間に帰還抵抗器R<sub>13</sub>が接続され、非反転入力端子ピンT<sub>2</sub>及び接地間に接地抵抗器R<sub>14</sub>が接続されている。

そして、正電源+B及び負電源-B間に可変抵抗器(ポテンショメータ)R<sub>15</sub>を接続し、その可動端子を抵抗器R<sub>11</sub>を通じて、第3図Aでは反転入力端子ピンT<sub>1</sub>に、第3図Bでは非反転入力端子ピンT<sub>2</sub>に夫々接続して、夫々入力電圧に正負の電源電圧に亘って変化し得る直流電圧を重畳する。

この場合も、可変抵抗器R<sub>15</sub>を可変して、演算増幅器(2)のオフセットを調整する。

### (発明が解決しようとする課題)

ところで、上述の第2図について説明した演算増幅器では、等価的にIC内部の抵抗器R<sub>11</sub>、R<sub>12</sub>

### 特開平3-227105 (3)

の抵抗を、外付けの可変抵抗器  $R_1$  で調整することに成るので、以下の 3 つの条件、即ち、その IC 化した演算増幅器の温度特性と、可変抵抗器  $R_1$  の温度特性の相異と、電源投入後の温度の違い、及び、気温の変化によって、ある温度条件で可変抵抗器  $R_1$  を調整してオフセットを 0 にしても、上述の 3 つの条件の変化によって演算増幅器にオフセットが発生する。又、IC 化した演算増幅器(2)に外付け可変抵抗器  $R_1$  を接続するためには、2 個の端子ピン  $T_1, T_2$  を必要とする。

又、上述の第 3 図について説明した増幅回路では、演算増幅器(2)のオフセットをキャンセルするために入力電圧に加算する電圧が、電源電圧の変動によって大きく変動する。又、演算増幅器(2)の周辺抵抗器  $R_{11} \sim R_{14}$  を IC 内に設けた場合、抵抗器  $R_{11}$  はこれら抵抗器  $R_{11} \sim R_{14}$  より大きな抵抗器を用いないと、調整感度が高くなりすぎるので、IC 内に設けることができない。又、この抵抗器  $R_{11}$  を外付けとした場合は、温度の変化によってオフセットが発生する。又、このように

トランジスタ  $Q_{11}, Q_{12}$  に基準電圧源(10)からの基準電圧に基づいて夫々ベースバイアス電圧を印加する一対のバイアス回路  $BK_{11}, BK_{12}$  を備えて成るものである。

#### 〔作用〕

上述せる本発明によれば、抵抗値の等しい一対の抵抗器  $R_{11}, R_{12}$  、その一対の抵抗器  $R_{13}, R_{14}$  に直列接続された一対のトランジスタ  $Q_{11}, Q_{12}$  及びその一対のトランジスタ  $Q_{13}, Q_{14}$  に基準電圧源(10)からの基準電圧に基づいて夫々ベースバイアス電圧を印加する一対のバイアス回路  $BK_{11}, BK_{12}$  を備えて成る一対の電流源回路(5A), (5B) の少なくとも一方の直流電流を可変手段  $R_1$  によって可変することによってオフセットを調整する。

#### 〔実施例〕

以下に、第 1 図を参照して、本発明の一実施例について詳細に説明するも、第 2 図について説明した演算増幅器(2)と対応する部分には、同一符号

入力信号に直流電圧を重畳すると、演算増幅器(2)の差動バランスが崩れる虞が有る。

かかる点に鑑み、本発明は温度変化の影響を受け難く、差動バランスを崩す虞のない演算増幅器のオフセット調整回路を提案しようとするものである。

#### 〔課題を解決するための手段〕

本発明は、一対の差動トランジスタ  $Q_{11}, Q_{12}$  、その各エミッタに接続された定電流回路(3)及び一対の差動トランジスタ  $Q_{13}, Q_{14}$  の各コレクタに接続された負荷抵抗器  $R_{11}, R_{12}$  を備える演算増幅器(2)と、差動トランジスタ  $Q_{11}, Q_{12}$  の各負荷抵抗器  $R_{11}, R_{12}$  に夫々各別の直流電流を供給する一対の電流源回路(5A), (5B) と、その一対の電流源回路(5A), (5B) の少なくとも一方の直流電流を可変する可変手段  $R_1$  とを有し、一対の電流源回路(5A), (5B) は、抵抗値の等しい一対の抵抗器  $R_{11}, R_{12}$  、その一対の抵抗器  $R_{13}, R_{14}$  に直列接続された一対のトランジスタ  $Q_{11}, Q_{12}$  及びその一対のト

を付して、その重複説明は省略する。この実施例では、演算増幅器(2)を有する IC 内に、オフセット調整回路(1)を形成している。以下に、このオフセット調整回路(1)について説明する。

(3)はダイオード接続の NPN 型トランジスタ  $Q_{11}$  及び NPN 型トランジスタ  $Q_{12}$  から構成されるカレントミラー回路で、トランジスタ  $Q_{11}$  のコレクタは定電流源(9)及び端子ピン  $T_1$  を介して正電源 +B に接続され、そのエミッタは、ダイオード接続の PNP 型トランジスタ  $Q_{12}$  のエミッタ・コレクタ間、PNP 型トランジスタ  $Q_{12}$  のエミッタ・コレクタ間及び端子ピン  $T_2$  を通じて負電源 -B に接続される。そして、トランジスタ  $Q_{12}$  のコレクタは端子ピン  $T_1$  を通じて正電源 +B に接続され、そのエミッタは、後述するカレントミラー回路(4)及び(5)の各トランジスタ  $Q_{13}, Q_{14}$  及び  $Q_{11}, Q_{12}$  の各エミッタに共通に接続される。

(10)はバンドギャップリファレンス回路から成る温度特性の良い定電圧電源から成る基準電圧源で、その正端子がトランジスタ  $Q_{11}$  のベースに、

負端子が端子ピン T<sub>1</sub> を通じて負電源 -B に接続されている。又、この基準電圧源(10)の正端子は、端子ピン T<sub>2</sub> を通じて、一方の電極が接地されたコンデンサ C の他方の電極に接続されている。

(5A), (5B) は電流源回路で、夫々カレントミラー回路(4), (5)を有し、カレントミラー回路(4)はダイオード接続の PNP 型トランジスタ Q<sub>3</sub> 及び PNP 型トランジスタ Q<sub>4</sub> から構成され、カレントミラー回路(5)はダイオード接続の PNP 型トランジスタ Q<sub>5</sub> 及び PNP 型トランジスタ Q<sub>6</sub> から構成される。これらカレントミラー回路(4), (5)のダイオード接続のトランジスタ Q<sub>3</sub>, Q<sub>4</sub> は夫々抵抗器 R<sub>3</sub>, R<sub>4</sub> を介して PNP トランジスタ Q<sub>1</sub>, Q<sub>2</sub> の各エミッタに夫々接続され、これらのトランジスタ Q<sub>1</sub>, Q<sub>2</sub> の各コレクタは端子ピン T<sub>3</sub> を通じて負電源 -B に接続されている。一方、カレントミラー回路(4), (5)のトランジスタ Q<sub>5</sub>, Q<sub>6</sub> の各コレクタは夫々演算増幅器(2)のカレントミラー回路(7)を構成するトランジスタ Q<sub>13</sub>, Q<sub>14</sub> の各エミッタに夫々接続されている。

のように表すことができる。

$$\begin{aligned} V_a &= V_{ref} + I_s r_s + 2 V_{BE} \\ &= V_{ref} + I_s r_s + 2 V_{BE} \quad \cdots (1) \end{aligned}$$

そして、点 A の電位 V<sub>a</sub> は、トランジスタ Q<sub>1</sub> の電位と等しく成るから、トランジスタ Q<sub>1</sub>, Q<sub>2</sub> のベース・エミッタ間電圧を V<sub>BE</sub> とすると、次式のように表わされる。

$$V_a = V_{ref} + 2 V_{BE} \quad \cdots (2)$$

従って、上式(1)の V<sub>ref</sub> + I<sub>s</sub> r<sub>s</sub> 及び V<sub>ref</sub> + I<sub>s</sub> r<sub>s</sub> は夫々基準電圧源(10)の基準電圧 V<sub>ref</sub> と等しいことが分かる。

次に、分圧抵抗器 R<sub>1</sub>, R<sub>2</sub> により、それらの接続中点 R の電位 V<sub>r</sub> を V<sub>r</sub> = (1/2) V<sub>ref</sub> とすると、分圧抵抗器 R<sub>1</sub>, R<sub>2</sub> 並びに R<sub>3</sub>, R<sub>4</sub> の抵抗値に r<sub>1</sub>, r<sub>2</sub> 並びに r<sub>3</sub>, r<sub>4</sub> が夫々等しく、仮に、r<sub>1</sub> = r<sub>2</sub> = r<sub>s</sub> 並びに r<sub>3</sub> = r<sub>4</sub> = r<sub>s</sub> とすればトランジスタ Q<sub>1</sub>, Q<sub>2</sub> のエミッタ電流 I<sub>s</sub>, I<sub>s</sub> は夫々次のように表すことができる。

$$I_s = V_{ref} / 2 r_s \quad \cdots (3)$$

$$I_s = V_{ref} / 2 r_s \quad \cdots (4)$$

この基準電圧源(10)からの基準電圧 V<sub>ref</sub> が、夫々バイアス回路 B K<sub>1</sub>, B K<sub>2</sub> を構成する分圧用の抵抗器 R<sub>1</sub>, R<sub>2</sub> 並びに R<sub>3</sub>, R<sub>4</sub> によって、例えば 1/2 に分圧されて、トランジスタ Q<sub>1</sub>, Q<sub>2</sub> のベースにバイアス電圧として印加される。

又、トランジスタ Q<sub>1</sub> のベースは端子ピン T<sub>3</sub> を通じて、外付けのオフセット調整用可変抵抗器(ポテンショメータ) R<sub>5</sub> の可動端子に接続される。この可変抵抗器 R<sub>5</sub> の一端が上述の端子ピン T<sub>3</sub> に接続され、他端が接地される。

上述の演算増幅器(2)及びそのオフセット調節回路(1)の各トランジスタのベース・エミッタ間電圧を V<sub>BE</sub> とし、各分圧抵抗器 R<sub>1</sub> 及び R<sub>2</sub> 並びに R<sub>3</sub> 及び R<sub>4</sub> の各接続中点 R, S の電位を夫々 V<sub>r</sub>, V<sub>s</sub> とし、トランジスタ Q<sub>1</sub>, Q<sub>2</sub> の各エミッタ電流を夫々 I<sub>s</sub>, I<sub>s</sub> とし、カレントミラー回路(4), (5)のトランジスタ Q<sub>5</sub>, Q<sub>6</sub> のコレクタ電流を夫々 I<sub>1</sub>, I<sub>1</sub> とし、各抵抗器 R<sub>n</sub> (n = 1, 2, …, ) の抵抗値を r<sub>n</sub> (n = 1, 2, …, ) とし、図に示す点 A (トランジスタ Q<sub>1</sub> のエミッタ) 電位 V<sub>a</sub> は次

そして、分圧抵抗器 R<sub>1</sub>, R<sub>2</sub> の接続中点 S、即ち、端子ピン T<sub>3</sub> に何も接続されていないときは、抵抗器 R<sub>3</sub>, R<sub>4</sub> の抵抗値 r<sub>3</sub>, r<sub>4</sub> を等しくすれば、トランジスタ Q<sub>1</sub>, Q<sub>2</sub> のエミッタ電流 I<sub>s</sub>, I<sub>s</sub> は互に等しく成る。そして、これら電流 I<sub>s</sub>, I<sub>s</sub> の式には、トランジスタの V<sub>BE</sub> の項は含まれていないので、温度により V<sub>BE</sub> が変化しても、電流 I<sub>s</sub>, I<sub>s</sub> は変化しない。又、抵抗器 R<sub>1</sub> ~ R<sub>4</sub> の抵抗値 r<sub>1</sub> ~ r<sub>4</sub> が温度によって変化しても、これらは IC 内に形成されているので、抵抗値 r<sub>1</sub> ~ r<sub>4</sub> が等しいことに変りはない。

ここで、例えば分圧抵抗器 R<sub>1</sub>, R<sub>2</sub> の接続中点 S の電圧 V<sub>r</sub> を、可変抵抗器 R<sub>5</sub> で可変して、トランジスタ Q<sub>1</sub> のベース電圧を 0 ~ V<sub>ref</sub> の範囲で変化されることによって、トランジスタ Q<sub>1</sub> のエミッタ電流 I<sub>s</sub> は 0 ~ V<sub>ref</sub> / r<sub>s</sub> の範囲で変化する。従って、これらトランジスタ Q<sub>1</sub>, Q<sub>2</sub> のエミッタ電流 I<sub>s</sub>, I<sub>s</sub> にオフセット調整範囲に基づいて、カレントミラー回路(4), (5)にてゲインをかけて調整用電流 I<sub>1</sub>, I<sub>1</sub> を得る。

上述の説明より明らかなように、可変抵抗器R<sub>1</sub>及びコンデンサCを除いて、オフセット調整回路(1)の全体を演算増幅器(2)を有するICの中に形成したので、オフセット調整によって、入力信号に対するゲインバランスを低下させる成はない。又、外付け可変抵抗器R<sub>1</sub>の接続のための端子pinをT<sub>1</sub>だけを付加し、他の端子pinは外付けコンデンサC用の端子T<sub>2</sub>を兼用しているので、別の用途で基準電圧源(10)の基準電圧V<sub>ref</sub>を出力するような場合や、複数の回路、即ち、上述の演算増幅器(2)を複数同じIC内にIC化するようなときでも、少ないpin端子で済む利点がある。

尚、上述の演算増幅器(2)及びそのオフセット調整回路(1)において、オフセット調整の調整範囲が狭い場合は、例えば、カレントミラー回路(3), (4), (5)のトランジスタQ<sub>11</sub>, Q<sub>12</sub>, Q<sub>13</sub>の各エミッタに抵抗器を入れるか、そのエミッタ面積を変えれば良い。

上述の実施例によれば、演算増幅器の負荷(11), (12)として、カレントミラー回路を用いた能動負

荷の場合について述べたが、抵抗器負荷であっても良い。

#### 〔発明の効果〕

上述せる本発明によれば、抵抗値の等しい一对の抵抗器、一对の抵抗器に直列接続された一对のトランジスタ及び一对のトランジスタに基準電圧源からの基準電圧に基づいて夫々ベースバイアス電圧を印加する一对のバイアス回路を備えて成る一对の電流源回路の少なくとも一方の直流電流を可変手段によって可変するようにしたので、オフセット調整後の温度変化によるオフセット値の変化を低減すると共に、オフセット調整によって演算増幅器の差動バランスが崩れる成はない。

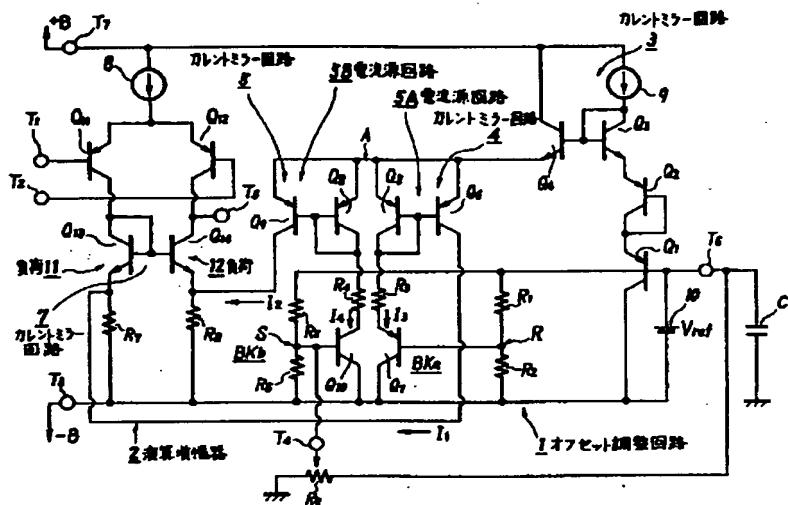
#### 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図は従来例を示す回路図、第3図は他の従来例を示す回路図である。

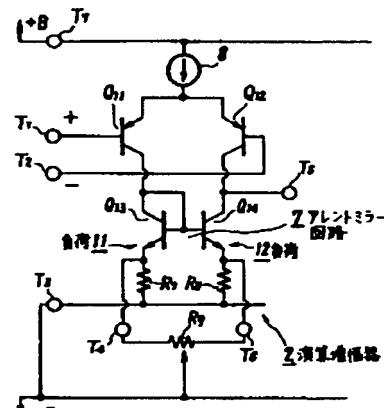
(1)はオフセット調整回路、(2)は演算増幅器、(5A), (5B)は電流源回路、(3), (4), (5), (7)は夫々

カレントミラー回路、BK<sub>1</sub>, BK<sub>2</sub>はバイアス回路、(8)は定電流回路、(10)は基準電圧源、(11), (12)は負荷、Q<sub>11</sub>, Q<sub>12</sub>は差動トランジスタ、Q<sub>13</sub>, Q<sub>14</sub>はトランジスタ、R<sub>1</sub>は可変抵抗器、R<sub>2</sub>～R<sub>5</sub>は抵抗器である。

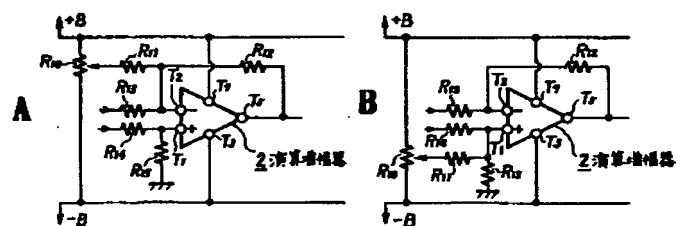
代理人 松隈秀盛



第1図  
実施例



第2図  
従来例



第3図  
他の従来例